



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenl gungsschrift**
10 **DE 100 30 144 A 1**

51 Int. Cl.7: **H 01 L 25/065**

21 Aktenzeichen: 100 30 144.4
22 Anmeldetag: 20. 6. 2000
43 Offenlegungstag: 16. 5. 2002

DE 100 30 144 A 1

30 Unionspriorität:
11-178161 24. 06. 1999 JP

71 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP; Mitsubishi
Electric Engineering Co., Ltd., Tokio/Tokyo, JP

74 Vertreter:
Prüfer und Kollegen, 81545 München

72 Erfinder:
Imamura, Yukinaga, Tokio/Tokyo, JP; Okada,
Keisuke, Tokio/Tokyo, JP

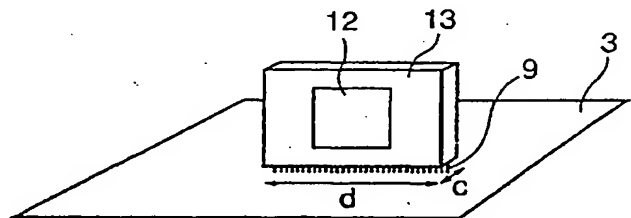
56 Entgegenhaltungen:
JP 10074888 A in: Pat. Abstr. of Japan, 1998, JPO;
JP 04312965 A in: Pat. Abstr. of Japan, 1992, JPO;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Halbleitervorrichtung und zugehörige Einbaustruktur

57 In einer Einbaustruktur einer Halbleitervorrichtung gemäß der vorliegenden Erfindung ist ein Halbleiterchip (12) auf jeder von Vorder- und Rück-Hauptoberflächen eines Gehäusesubstrats (13) vorgesehen. Anschlußstifte (9) sind auf einer Seitenendoberfläche des Gehäusesubstrats (13) derart vorgesehen, daß sie davon hervorstehen. Das Gehäusesubstrat (13) ist senkrecht zu einer Leiterplatte (3) angebracht, wobei eine Oberfläche, an der die Anschlußstifte (9) angebracht sind, der Leiterplatte (3) gegenüberliegt. Mit dieser Struktur kann eine Halbleitervorrichtung vorgesehen werden, die ein effizientes Einbauen eines Halbleiterchips ermöglicht.



DE 100 30 144 A 1

BEST AVAILABLE COPY

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung mit einem Gehäusesubstrat und auf eine Leiterplatte, die zum Einbauen einer Mehrzahl von Halbleiterchips verwendet wird, und zugehörige Einbaustrukturen.

[0002] In einer bei der Anmelderin verwendeten Halbleitervorrichtung ist ein Gehäusesubstrat, auf dem ein Halbleiterchip angeordnet ist, auf eine Leiterplatte gesetzt. In bei der Anmelderin vorhandenen Halbleitervorrichtungen ist ein Halbleiterchip 105 auf einer Hauptoberfläche des Gehäusesubstrats 108 über eine Verbindungsanschlußstelle 107, wie in einem QFP-LSI (Quadrat Flat Package-Large Skale Integration Circuit, Quadratisches-Flachgehäuse-Hochintegrationsschaltung) 101 oder 102, die in Fig. 14 bis 17 gezeigt sind, vorgesehen. Zusätzlich ist eine Leitung 106, die mit einer Elektrode in dem Halbleiterchip 105 verbunden ist, mit einem Anschlußstift 109 verbunden, der auf einer Seitenendoberfläche des Gehäusesubstrats 108 vorgesehen ist. Weiter sind der Anschlußstift 109 und das Halbleiterchip 105 mit einer Form 104 bedeckt und an dem Gehäusesubstrat 108 befestigt. Diese QFP-LSIs 101 und 102 sind an einer Leiterplatte 103 mit einer Oberfläche angebracht, auf der das Halbleiterchip 105 nicht der Leiterplatte 103 gegenüberliegend vorgesehen ist.

[0003] Wie in Fig. 17 gezeigt ist, erfordern die QFP-LSIs 101 und 102, die oben erwähnt wurden, jeweils eine reservierte Fläche von $a \times b$ auf einer oberen Oberfläche der Leiterplatte 103. Daher ist zum Vorsehen von n QFP-LSIs auf der Leiterplatte 103 eine Fläche von $n \times a \times b$ der Leiterplatte erforderlich und zusätzlich ist eine Fläche für einen Verbindungsbereich erforderlich, um Verbindungen vorzusehen, die mit Anschlußstiften der QFP-LSIs verbunden sind, um ein elektrisches Signal zu den QFP-LSIs zu senden.

[0004] Daher vergrößert sich in dem bei der Anmelderin vorhandenen QFP-LSI eine Fläche der Leiterplatte, die durch die Chips belegt ist, gemäß der Anzahl der Halbleiterchips. Weiter steigt, wenn die Anzahl von vorgesehenem QFP-LSIs ansteigt, die Anzahl von Anschlußstiften, um ein weiteres Problem der Stauung von Leitungen auf der Leiterplatte zu verursachen. Außerdem ist in den hochintegrierten Halbleitervorrichtungen die Verarbeitung von Wärme, die von dem Halbleiterchip emittiert wird, erforderlich, wenn die Betriebe der Halbleiterelemente schneller werden. In den QFP-LSI mit der oben beschriebenen Struktur muß eine Strahlungsrippe oder ein Propeller bei weiterer Wärmestrahlung hinzugefügt werden.

[0005] Aufgabe der vorliegenden Erfindung ist es, eine Halbleitervorrichtung vorzusehen, bei der das Gehäusesubstrat senkrecht an der Leiterplatte angebracht ist, wodurch ein effizienter Einbau von Halbleiterchips und Einbaustrukturen davon ermöglicht werden, um die oben beschriebenen Probleme zu lösen.

[0006] Diese Aufgabe wird gelöst durch eine Halbleitervorrichtung nach Anspruch 1 bzw. eine Einbaustruktur nach Anspruch 6.

[0007] Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0008] Eine Halbleitervorrichtung der vorliegenden Erfindung, die das oben beschriebene Problem löst, weist folgendes auf: ein Gehäusesubstrat mit einer ersten und einer zweiten Hauptoberfläche, die einander entgegengesetzt sind, und Seitenendoberflächen;

[0009] Halbleiterchips, die auf der ersten bzw. zweiten Hauptoberfläche vorgesehen sind; und einen Anschlußstift zur elektrischen Verbindung, der auf der Seitenendoberfläche vorgesehen ist und sich in eine Richtung erstreckt, die

im wesentlichen parallel zu der ersten und der zweiten Hauptoberfläche ist.

[0010] Mit dieser Struktur kann das Gehäusesubstrat senkrecht an der Leiterplatte eingebaut bzw. eingesetzt werden, wobei eine Oberfläche mit den Anschlußstiften des Gehäusesubstrats der Leiterplatte gegenüberliegt. Daher können durch Anordnen von Halbleiterchips auf beiden Oberflächen des Gehäusesubstrats, viele Halbleitervorrichtungen einer Richtung senkrecht zur Leiterplatte vorgesehen werden. Dann ist eine Fläche, die durch das Gehäusesubstrat auf der Leiterplatte belegt ist, wenn n Halbleiterchips eingebaut sind, reduziert im Vergleich mit einem bei der Anmelderin vorhandenen Fall, in dem das Halbleiterchip nur auf einer Hauptoberfläche des Gehäusesubstrats vorgesehen ist und eine Oberfläche, auf dem Halbleiterchips nicht vorgesehen ist, an der Leiterplatte angebracht ist. Als eine Folge können mehr Halbleiterchips auf der Leiterplatte derselben Fläche vorgesehen werden, und mit dem Einbauen bzw. Einsetzen der Halbleitervorrichtung wird eine hohe zweidimensionale Integration ermöglicht.

[0011] Zusätzlich wird durch Vorsehen einer Mehrzahl von Halbleiterchips auf mindestens einer der ersten und zweiten Hauptoberfläche des Gehäusesubstrats, die Anzahl von Halbleiterchips, die in einer Richtung senkrecht zu der Leiterplatte eingebaut sind, vergrößert, wodurch sogar mehr Halbleiterchips vorgesehen werden können auf der Leiterplatte derselben Fläche. Als eine Folge wird das Einbauen bzw. Einsetzen der Halbleitervorrichtungen mit einer sogar höheren zweidimensionalen Integration ermöglicht.

[0012] Zusätzlich kann durch Kombinieren von Anschlußstiften mehr als eines Halbleiterchips, die zum Senden eines gemeinsamen Signals auf dem Gehäusesubstrat vorgesehen sind, die Anzahl von allgemeinen Anschlußstiften verringert werden.

[0013] Zusätzlich muß in der Halbleitervorrichtung gemäß der vorliegenden Erfindung, wenn die Halbleiterchips direkt auf einer Vorderoberfläche und einer Rückoberfläche vorgesehen sind, das heißt, den Hauptoberflächen des Gehäusesubstrats, die bei der Anmelderin verwendete Einbaustruktur (Einsetzstruktur) nicht verwendet werden, in dem das Gehäusesubstrat, auf dem eine Hauptoberfläche des Halbleiterchips vorgesehen ist, in einem Sockel oder dergleichen angeordnet ist und auf die Leiterplatte gesetzt bzw. in sie eingesetzt wird. Daher kann die Anzahl von Elementen verringert werden und der Herstellungsprozeß kann vereinfacht werden.

[0014] Gemäß einer weiteren Ausführungsform ist eine Erdungsplatte (Massenplatte) der Halbleitervorrichtung derart vorgesehen, daß sie von einer Seitenendoberfläche in einem vorbestimmten Bereich, der ein anderer Bereich ist, in dem der Anschlußstift vorgesehen ist, hervorsteht.

[0015] Mit dieser Struktur kann eine Wärme, die in dem Halbleiterchip erzeugt wird, unter Benutzung der Massenplatte abgestrahlt werden. Zusätzlich wird mit einer größeren Massenplatte eine Erdungsfläche (Massenfläche) vergrößert und eine Impedanz kann verringert werden. Als eine Folge kann eine Wirkung von Rauschen, das in und aus der Halbleitervorrichtung erzeugt wird, verringert werden.

[0016] Vorzugsweise steht die Massenplatte von der Seitenendoberfläche des Gehäusesubstrats derart hervor, daß eine Lücke zwischen einer Oberfläche, die der Leiterplatte gegenüberliegt, und der Leiterplatte belassen wird, wenn das Gehäusesubstrat an der Leiterplatte angebracht wird, um das Einsetzen einer anderen Halbleitervorrichtung darin zu ermöglichen.

[0017] Mit einer derartigen Struktur kann ein anderes Gehäusesubstrat eines bei der Anmelderin verwendeten Typs, auf dem ein Ein-Oberflächen-Halbleiterchip vorgesehen ist,

in der oben erwähnten Lücke mit einer Oberfläche angeordnet werden, wobei kein Halbleitersubstrat in Kontakt mit der Leiterplatte ist, wodurch mehr Halbleiterchips auf der Leiterplatte derselben Fläche vorgesehen werden können. Als eine Folge kann die Halbleitervorrichtung mit einer höheren Integration eingebaut werden.

[0018] Gemäß einer anderen Ausführungsform ist ein Anschlußstift der Halbleitervorrichtung in einem Bereich vorgesehen, der ein anderer ist als der Bereich mit dem Anschlußstift.

[0019] Mit einer derartigen Struktur kann eine Mehrzahl von Halbleitervorrichtungen senkrecht auf der Hauptoberfläche der Leiterplatte angebracht werden und eine Einbaustruktur kann realisiert werden, in der Massenanschlußstifte der Mehrzahl von Halbleitervorrichtungen elektrisch miteinander über die Massenplatte verbunden sind. Daher ist es möglich, die Massenplatte als ein wärmeausstrahlendes Substrat zu verwenden und den Effekt des Rauschens, das in und aus der Halbleitervorrichtung erzeugt wird mit der Verwendung einer niedrigeren Impedanz zu verringern, die von dem Anstieg in der Massenfläche resultiert.

[0020] Weitere Merkmale und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung von Ausführungsformen der Erfindung anhand der beigefügten Zeichnungen. Von diesen zeigen:

[0021] Fig. 1 einen Querschnitt einer Halbleitervorrichtung gemäß der ersten Ausführungsform, in der Halbleiterchips sowohl auf einer ersten Hauptoberfläche als auch auf einer zweiten Hauptoberfläche eines Gehäusesubstrats vorgesehen sind;

[0022] Fig. 2 eine erste Hauptoberfläche, auf der ein Halbleiterchip in einer Halbleitervorrichtung gemäß der ersten Ausführungsform vorgesehen ist;

[0023] Fig. 3 eine zweite Hauptoberfläche, auf der ein Halbleiterchip in einer Halbleitervorrichtung gemäß der ersten Ausführungsform vorgesehen ist;

[0024] Fig. 4 eine perspektivische Ansicht einer Halbleitervorrichtung gemäß der ersten Ausführungsform, in der das Gehäusesubstrat senkrecht auf der Leiterplatte angebracht ist;

[0025] Fig. 5 eine Aufrißansicht der Halbleitervorrichtung gemäß der ersten Ausführungsform, in der das Gehäusesubstrat in einer senkrechten Richtung mit Halbleiterchips, die sowohl auf einer ersten Hauptoberfläche als auch auf einer zweiten Hauptoberfläche vorgesehen sind, gesetzt ist;

[0026] Fig. 6 eine Halbleitervorrichtung gemäß der ersten Ausführungsform mit einer Mehrzahl von Halbleiterchips, die auf einer ersten Hauptoberfläche eines Gehäusesubstrats vorgesehen sind;

[0027] Fig. 7 eine Aufrißansicht einer Halbleitervorrichtung gemäß der ersten Ausführungsform mit einer Mehrzahl von Halbleiterchips, die auf einer ersten Hauptoberfläche und einer zweiten Hauptoberfläche eines Gehäusesubstrats vorgesehen sind;

[0028] Fig. 8 eine Halbleitervorrichtung gemäß der ersten Ausführungsform mit einer Mehrzahl von Halbleiterchips, die auf einer zweiten Hauptoberfläche eines Gehäusesubstrats vorgesehen sind;

[0029] Fig. 9 einen Querschnitt einer Halbleitervorrichtung gemäß der zweiten Ausführungsform, in der eine Massenplatte auf einer Seitenendoberfläche des Gehäusesubstrats vorgesehen ist;

[0030] Fig. 10 eine Halbleitervorrichtung gemäß der zweiten Ausführungsform mit Massenplatten, die auf Seitenendoberflächen eines Gehäusesubstrats vorgesehen sind;

[0031] Fig. 11 eine Aufrißansicht einer Halbleitervorrichtung gemäß der zweiten Ausführungsform, in der Massenplatten auf Seitenendoberflächen eines Gehäusesubstrats

vorgesehen sind und das Gehäusesubstrat in einer senkrechten Richtung gesetzt ist;

[0032] Fig. 12 eine zweite Hauptoberfläche in einer Halbleitervorrichtung gemäß der zweiten Ausführungsform, in der Massenplatten auf Seitenendoberflächen eines Gehäusesubstrats vorgesehen sind;

[0033] Fig. 13 eine Halbleitervorrichtung gemäß einer dritten Ausführungsform, in der Massenanschlüsse von zwei Gehäusesubstraten, die senkrecht auf der Leiterplatte angebracht sind, elektrisch miteinander über eine Massenplatte verbunden sind;

[0034] Fig. 14 einen Querschnitt einer bei der Anmelderin vorhandenen Halbleitervorrichtung mit einem Halbleiterchip, das nur auf einer Hauptoberfläche eines Gehäusesubstrats vorgesehen ist;

[0035] Fig. 15 eine Oberfläche, auf der ein Halbleiterchip in einer bei der Anmelderin vorhandenen Halbleitervorrichtung vorgesehen ist, wobei ein Halbleiterchip nur auf einer Hauptoberfläche eines Gehäusesubstrats vorgesehen ist;

[0036] Fig. 16 eine Oberfläche, auf der ein Halbleiterchip nicht in einer bei der Anmelderin vorhandenen Halbleitervorrichtung vorgesehen ist, bei der ein Halbleiterchip nur auf einer Hauptoberfläche eines Gehäusesubstrats vorgesehen ist; und

[0037] Fig. 17 eine bei der Anmelderin vorhandene Halbleitervorrichtung mit einer Mehrzahl von Halbleiterchips, die parallel zu der Leiterplatte vorgesehen sind.

Erste Ausführungsform

[0038] Zunächst wird eine Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung mit Bezug auf Fig. 1 bis 8 beschrieben werden. Wie in Fig. 1 bis 3 gezeigt ist, sind in der Halbleitervorrichtung gemäß der ersten Ausführungsform auf Vorder- und Rückhauptoberflächen eines Gehäusesubstrats 13 Halbleiterchips 11 und 12 über eine Verbindungsanschlußstelle 7 vorgesehen. Anschlußstifte 9 sind nur auf einer Seitenendoberfläche des Gehäusesubstrats 13 angeordnet. Die Halbleiterchips 11 und 12 sind jeweils mit einer Gehäusesubstratsanschlußstelle 15 verbunden, die auf dem Gehäusesubstrat 13 vorgesehen ist, durch eine Leitung 6. Die Gehäusesubstratsanschlußstelle 15 ist mit einer internen Leitung 14 verbunden, die innerhalb des Gehäusesubstrats 13 verläuft.

[0039] Zusätzlich ist die interne Leitung 14 mit dem Anschlußstift 9 verbunden, der außerhalb von einer Seitenendoberfläche des Gehäusesubstrats 13 hervorsteht. Weiter sind die Halbleiterchips 11 und 12, die Verbindungsanschlußstelle 7 und die Leitung 6, die oben erwähnt wurden, durch eine Form 4 bedeckt, die eine Oberfläche des Gehäusesubstrats 13 bedeckt.

[0040] Zusätzlich ist das in Fig. 1 bis 3 gezeigte Gehäusesubstrat 13 senkrecht bzw. im rechten Winkel zu einem Hauptoberfläche der Leiterplatte 3 eingebaut, wobei die Seitenendoberfläche mit den Anschlußstiften 9 der Hauptoberfläche der Leiterplatte wie in Fig. 4 und 5 gezeigt gegenüberliegt und eine ebene Fläche, die durch das Gehäusesubstrat 13 auf der Leiterplatte 3 besetzt wird, beträgt cxd.

[0041] Fig. 6 bis 8 zeigen, daß drei Halbleiterchips 16, 17 und 18 und drei Halbleiterchips 19, 20 und 21 auf Vorder- bzw. Rück-Hauptoberflächen des Gehäusesubstrats 13 vorgesehen sind. Obwohl in dieser Ausführungsform drei Halbleiterchips jeweils auf der Vorder- und Rück-Hauptoberfläche des Gehäusesubstrats 13 vorgesehen sind, kann eine Mehrzahl von Halbleiterchips auf mindestens einer der Vorder- und Rück-Hauptoberflächen des Gehäusesubstrats 13 vorgesehen sein.

[0042] Mit einer derartigen Struktur kann durch Anbrin-

gen der Oberfläche des Gehäusesubstrats 13, auf der die Anschlußstifte 9 vorgesehen sind, an der Leiterplatte 3, das Gehäusesubstrat 13 senkrecht bzw. im rechten Winkel zu der Leiterplatte 3 eingebaut werden. Durch Anbringen der Halbleiterchips 11 und 12 jeweils auf der Vorder- und Rück-Hauptoberfläche des Halbleitersubstrats 13, können viele Halbleitervorrichtungen in einer senkrechten Richtung zu der Leiterplatte vorgesehen werden. Daher wird eine Fläche $n \times c \times d$ der Leiterplatte, die durch Gehäusesubstrate 13 belegt ist, wenn n Halbleiterchips eingebaut sind, reduziert werden im Vergleich mit einer Fläche $n \times a \times b$ der Leiterplatte, die durch die Gehäusesubstrate belegt sind, bei denen die Halbleiterchips nur auf einer Oberfläche vorgesehen sind, wie in der Beschreibung des Stands der Technik gezeigt ist. Als eine Folge können viele Halbleiterchips 11 und 12 auf der Leiterplatte mit derselben Fläche vorgesehen werden und das Einbauen bzw. Einsetzen der Halbleitervorrichtungen wird mit einer hohen zweidimensionalen Integration ermöglicht.

[0043] Zusätzlich können, wenn eine Mehrzahl von Halbleiterchips, wie beispielsweise Halbleiterchips 16, 17 und 18 und Halbleitervorrichtungen 19, 20 und 21, die in Fig. 6 bis 8 gezeigt sind, auf mindestens einer Oberfläche des Gehäusesubstrats 13 vorgesehen sind, sogar mehr Halbleiterchips 5 in derselben ebenen Fläche eingebaut werden.

[0044] Weiter kann durch Kombinieren von Anschlußstiften zweier Halbleiterchips 11 und 12, die auf dem Gehäusesubstrat 13 zum Senden eines gemeinsamen Signales vorgesehen sind, die Anzahl von Anschlußstiften 9 als Ganzes verringert werden.

[0045] Weiter muß durch direktes Vorsehen der Halbleiterchips 11 und 12 auf der vorderen Oberfläche und der Rückoberfläche des Gehäusesubstrats 13, die bei der Anmelderin vorhandenen Einbaustuktur wie oben beschrieben nicht verwendet werden, in der das Gehäusesubstrat, auf der eine Hauptoberfläche des Halbleiterchips vorgesehen ist, in einem Gehäuse oder dergleichen angeordnet ist und auf die Leiterplatte gesetzt ist, nicht verwendet werden, und daher kann die Anzahl von Elementen verringert werden und der Herstellungsprozeß kann vereinfacht werden.

Zweite Ausführungsform

[0046] Als nächstes wird unter Bezugnahme auf Fig. 9 bis 12 eine Halbleitervorrichtung gemäß der zweiten Ausführungsform beschrieben. Wie in Fig. 9 bis 12 gezeigt ist sind in der Halbleitervorrichtung gemäß der zweiten Ausführungsform Erdungsplatten (Massenplatten) 22 weiter derart vorgesehen, daß sie von drei Seitenendoberflächen des Gehäusesubstrats 13, die andere sind als die Seitenendoberflächen, auf denen die Anschlußstifte 9 in der Halbleitervorrichtung, die unter Bezugnahme auf die erste Ausführungsform beschrieben wurde, angebracht sind, hervorstehen. Zusätzlich ist eine vorbestimmte Lücke e zwischen unteren Enden der Massenplatten 22 vorgesehen, die von rechten und linken Seitenendoberflächen des Gehäusesubstrats 13 hervorstehen und der Leiterplatte 3 hervorstehen. Durch Vorsehen einer derartigen Lücke e kann ein Endabschnitt eines Gehäusesubstrats, das unter Bezugnahme auf die bei der Anmelderin vorhandene Technik wie oben beschrieben wurde, wie beispielsweise ein Gehäusesubstrat mit einem Halbleiterchip, das auf nur einer Hauptoberfläche vorgesehen ist, und einer anderen Hauptoberfläche, die in Richtung der Leiterplatte angeordnet ist, eingesetzt werden.

[0047] Mit einer derartigen Struktur kann eine Wärme, die in den Halbleiterchips 11 und 12 erzeugt wird, unter Verwenden der Massenplatte 22 ausgestrahlt werden. Zusätzlich kann unter Ausnutzen der Tatsache, daß die Impedanz

durch Herausziehen der Massenplatte 22 zur Außenseite und Vergrößern der Massenfläche verringert werden kann, ein Effekt von Rauschen, das in und aus der Halbleitervorrichtung erzeugt wird, verringert werden.

[0048] Zusätzlich können, da Gehäusesubstrate 101 und 102 mit einem Halbleiterchip 105, das nur auf einer Hauptoberfläche vorgesehen ist, wie das Gehäusesubstrat 108, das gemäß der bei der Anmelderin vorhandenen Technik erwähnt wurde, auf der Leiterplatte 3 mit einer anderen Hauptoberfläche in Kontakt mit der Leiterplatte 3 und mit einem Endabschnitt in die oben erwähnte Lücke e eingesetzt angeordnet werden kann, mehr Halbleiterchips auf der Leiterplatte derselben Fläche eingebaut werden. Als eine Folge kann die zweidimensionale Einbaudichte der Halbleitervorrichtung weiter vergrößert werden.

Dritte Ausführungsform

[0049] Als nächstes wird eine Halbleitervorrichtung gemäß einer dritten Ausführungsform mit Bezugnahme auf Fig. 13 beschrieben. Die Halbleitervorrichtung gemäß der dritten Ausführungsform ist von ungefähr derselben Struktur wie die in der ersten Ausführungsform gezeigte Halbleitervorrichtung, jedoch ist die dritte Ausführungsform von der ersten Ausführungsform darin verschieden, daß Gehäusesubstrate 24 und 25 weiter Massenanschlußstifte (Erdungsanschlußstifte) 26 auf einer Seitenendoberfläche aufweisen, die der Seitenendoberfläche entgegengesetzt ist, die an der Leiterplatte 3 angebracht ist.

[0050] Die Gehäusesubstrate 24 und 25 sind ungefähr bzw. im wesentlichen senkrecht zur Leiterplatte 3 angebracht und ungefähr bzw. im wesentlichen parallel zueinander. Alle Massenanschlußstifte 26 eines Gehäusesubstrats 24 auf einer Seite entgegengesetzt zu einer Seite, die an der Leiterplatte 3 angebracht ist, sind elektrisch über die Erdungsplatte bzw. Massenplatte 23 mit allen Massenanschlußstiften 26 des anderen Gehäusesubstrats 25 elektrisch verbunden, die auf einer Seitenendoberflächen entgegengesetzt zu einer Seitenendoberfläche vorgesehen sind, die an der Leiterplatte 3 angebracht ist.

[0051] Mit einer derartigen Struktur kann durch Verwenden der oben erwähnten Massenplatte 23 als ein wärmeabstrahlendes Substrat und durch Verwenden der Wirkung des Verringerns der Impedanz durch die Vergrößerung in der Erdungsfläche bzw. Massenfläche, ein Effekt von Rauschen, das in und aus der Halbleitervorrichtung erzeugt wird, verringert werden.

[0052] Obwohl in der dritten Ausführungsform Massenanschlußstifte 26 in den Gehäusesubstraten 24 und 25 auf der Seitenendoberfläche vorgesehen sind, die der Seitenendoberfläche gegenüberliegt, auf der die Anschlußstifte 9 vorgesehen sind, und über die Massenplatte bzw. Erdungsplatte 23, die senkrecht bzw. im rechten Winkel dazu angeordnet ist, verbunden sind, kann dies in einer anderen Weise erreicht werden.

Patentansprüche

1. Halbleitervorrichtung mit einem Gehäusesubstrat (13) mit einer ersten und einer zweiten Hauptoberfläche, die einander entgegengesetzt sind, und Seitenendoberflächen; Halbleiterchips (11, 12), die auf der ersten bzw. zweiten Hauptoberfläche vorgesehen sind; und Anschlußstiften (9) für eine elektrische Verbindung, die auf der Seitenendoberfläche vorgesehen sind und sich in eine Richtung erstrecken, die sich annähernd parallel mit der ersten und zweiten Hauptoberfläche er-

strecken.

2. Halbleitervorrichtung nach Anspruch 1, bei der eine Mehrzahl der Halbleiterchips (11, 12) auf mindestens einer der ersten und der zweiten Hauptoberfläche vorgesehen sind.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, bei der Massenplatten (22, 23) der Halbleiterchips (11, 12) derart vorgesehen sind, daß sie von den Seitenendoberflächen in einem vorbestimmten Bereich hervorstehen, der ein anderer Bereich ist, in dem die Anschlußstifte (9) vorgesehen sind.

4. Halbleitervorrichtung nach Anspruch 3, bei der die Massenplatten (23) von den Seitenendoberflächen des Gehäusesubstrats (13) derart hervorstehen, daß eine Lücke zwischen einer Oberfläche der Massenplatte (23), die der Leiterplatte (3) gegenüberliegt, und der Leiterplatte (3) belassen wird, wenn das Gehäusesubstrat (13) an der Leiterplatte (3) angebracht wird, um ein Einsetzen einer anderen Halbleitervorrichtung zu ermöglichen.

5. Halbleitervorrichtung nach einem der Ansprüche 1 bis 4, bei der Massenanschlußstifte (26) des Halbleiterchips (11, 12) auf einer Seitenendoberfläche in einem Bereich vorgesehen ist, der ein anderer Bereich ist, in dem die Anschlußstifte (9) vorgesehen sind.

6. Einbaustruktur einer Halbleitervorrichtung, bei der eine Mehrzahl von Halbleitervorrichtungen, die jeweils ein Gehäusesubstrat (13) mit einer ersten und einer zweiten Hauptoberfläche, die einander entgegengesetzt sind, und Seitenendoberflächen aufweisen, an einer Hauptoberfläche einer Leiterplatte derart angebracht sind, daß die erste und die zweite Hauptoberfläche senkrecht zur Hauptoberfläche sind, wobei die Mehrzahl von Halbleitervorrichtungen jeweils aufweisen:

Halbleiterchips (11, 12), die auf der ersten bzw. zweiten Hauptoberfläche vorgesehen sind, und Anschlußstifte (9) für eine elektrische Verbindung, die auf einer Seitenendoberfläche vorgesehen sind und sich in einer Richtung im wesentlichen parallel mit der ersten und der zweiten Hauptoberfläche erstrecken, wobei Massenanschlußstifte (26) jedes der Halbleiterchips (11, 12) auf der Seitenendoberfläche in einem Bereich vorgesehen sind, der ein anderer ist, als ein Bereich, in dem Anschlußstifte (9) in jeder der Mehrzahl von Halbleitervorrichtungen vorgesehen sind, und die Massenanschlußstifte (26) der Mehrzahl von Halbleitervorrichtungen elektrisch über eine Massenplatte (23) verbunden sind.

Hierzu 8 Seite(n) Zeichnungen

- Leerseite -

BEST AVAILABLE COPY

FIG. 1

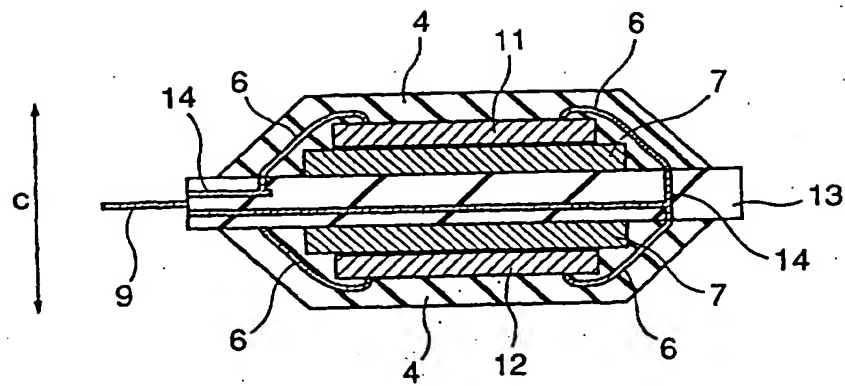


FIG. 2

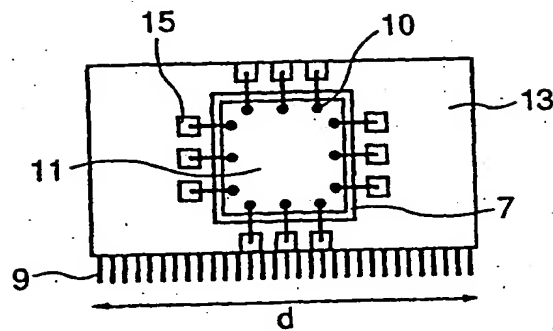


FIG. 3

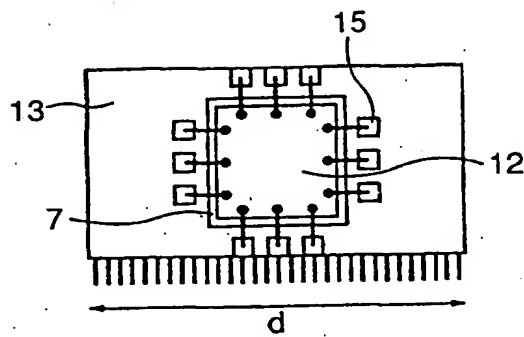


FIG. 4

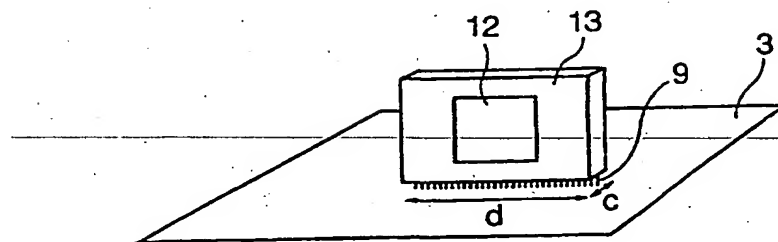


FIG. 5

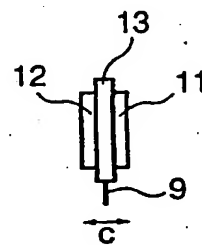


FIG. 6

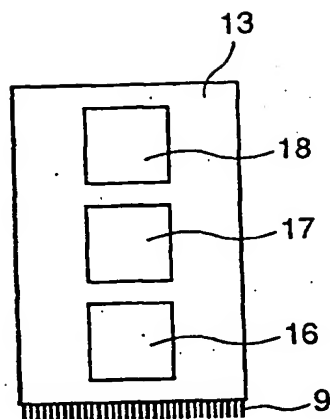


FIG. 7

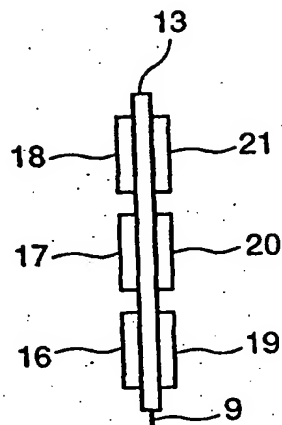


FIG. 8

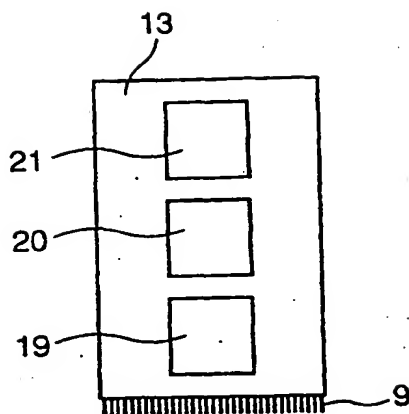


FIG. 9

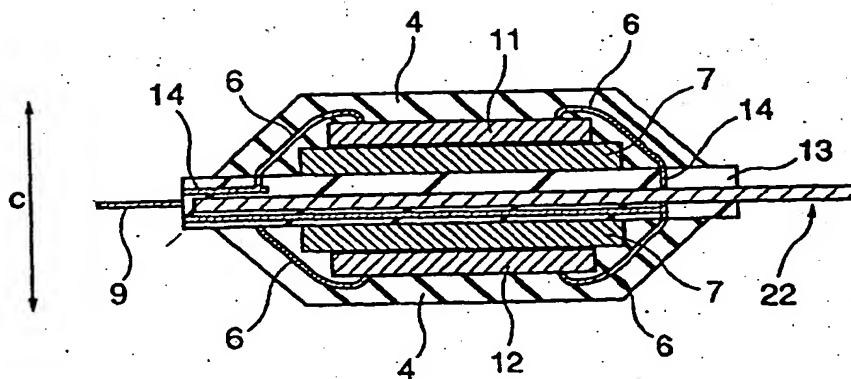


FIG. 10

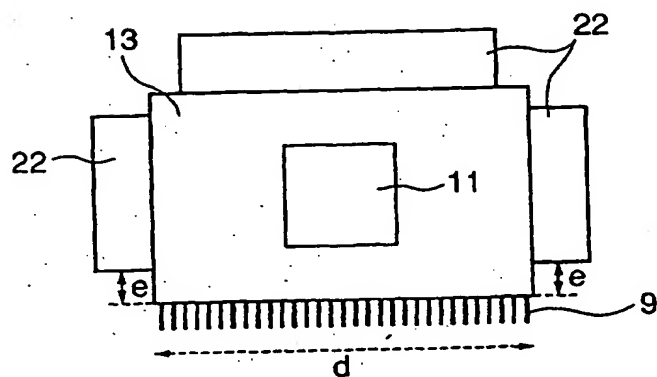


FIG. 11

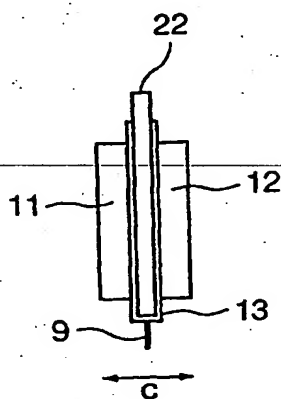


FIG. 12

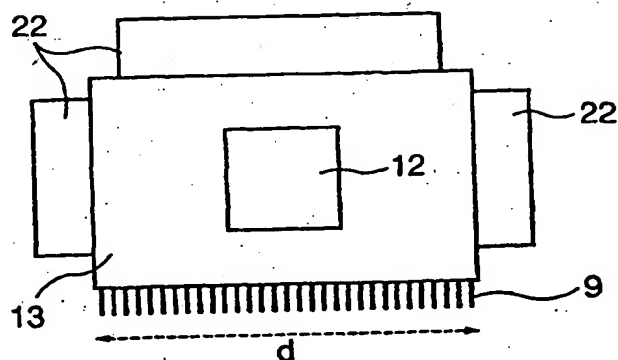


FIG. 13

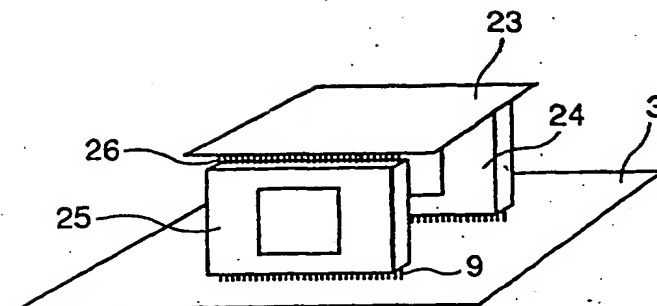


FIG. 14

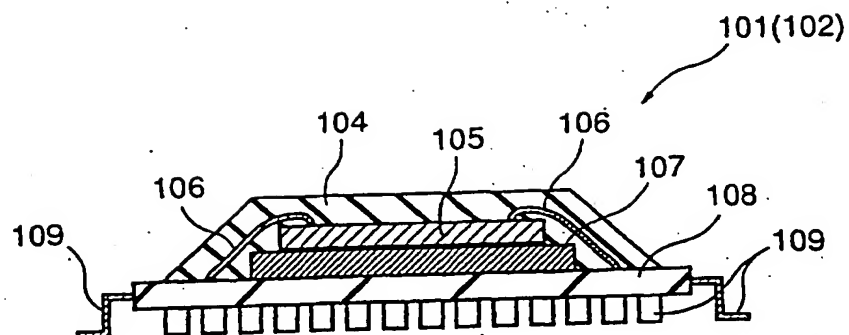
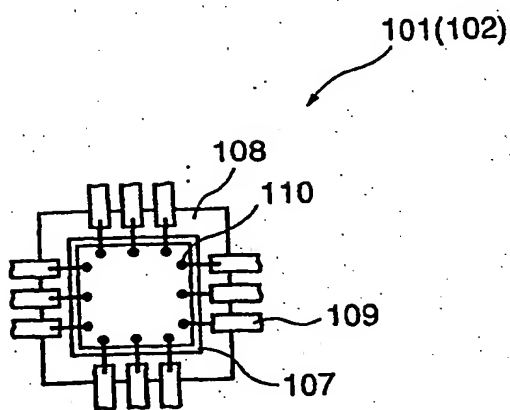


FIG. 15



BEST AVAILABLE COPY

FIG. 16

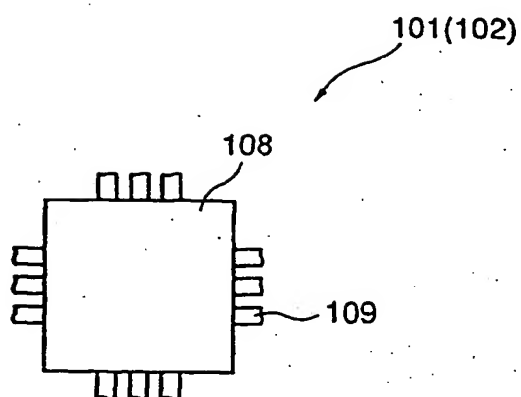
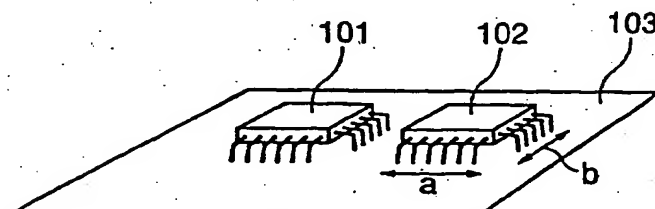


FIG. 17



BEST AVAILABLE COPY